

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08045271 A**(43) Date of publication of application: **16 . 02 . 96**

(51) Int. Cl.

G11C 11/406(21) Application number: **07105773**(22) Date of filing: **28 . 04 . 95**(30) Priority: **27 . 05 . 94 JP 06115691**(71) Applicant: **SANYO ELECTRIC CO LTD**(72) Inventor: **ISHIZUKA YOSHIYUKI**

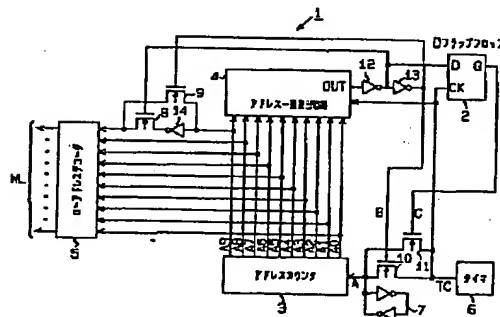
(54) STORAGE DEVICE

(57) Abstract:

PURPOSE: To perform sure refresh operation without increasing a circuit scale.

CONSTITUTION: A timer 6 generates a clock TC. An address counter 3 generates each address signal A0-A9 to which an input signal A (clock TC) is divided in frequency. A row address (refresh address ADD) for selecting a word line WL is specified by each address signal A0-A9 of ten figures. When a row address previously set (row address of a memory cell in which data holding possible time is insufficient) coincides with a refresh address ADD generated by the address counter 3, an address coincidence detecting circuit 4 outputs 'L' to an output terminal OUT, when does not coincide, the circuit 4 outputs 'H' to the output terminal OUT.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-45271

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.

G11C 11/406

識別記号

F I

G11C 11/34

363

N

審査請求 未請求 請求項の数 5 O L (全7頁)

(21)出願番号 特願平7-105773

(22)出願日 平成7年(1995)4月28日

(31)優先権主張番号 特願平6-115691

(32)優先日 平6(1994)5月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 石塚 良行

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

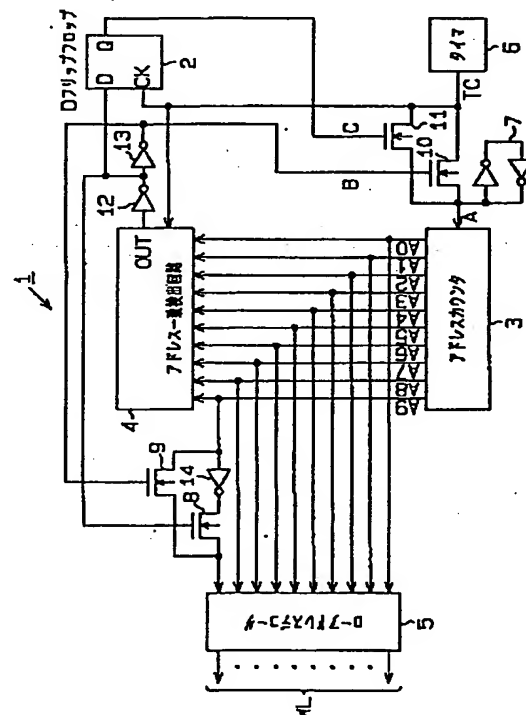
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 記憶装置

(57)【要約】

【目的】回路規模を増大させることなく確実なリフレッシュ動作を行う。

【構成】タイマ6はクロックTCを生成する。アドレスカウンタ3は入力信号A (クロックTC) を分周した各アドレス信号A0~A9を生成する。その10桁の各アドレス信号A0~A9によってワード線WLを選択するためのローアドレス (リフレッシュアドレスADD) が指定される。アドレス一致検出回路4は、予め設定されているローアドレス (データ保持可能時間が不足しているメモリのローアドレス) とアドレス・カウンタ3が生成したリフレッシュアドレスADDとが一致したときには出力端子OUTに「L」を出力し、一致していないときには出力端子OUTに「H」を出力する。



【特許請求の範囲】

【請求項 1】 メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置。

【請求項 2】 メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置において、特定のアドレスのリフレッシュ動作を他のアドレスのリフレッシュ動作よりも多数回行う記憶装置。

【請求項 3】 メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置において、1周期のリフレッシュ動作について、データ保持可能時間が不足しているメモリセルのリフレッシュ動作を、データ保持可能時間が不足していないメモリセルのリフレッシュ動作よりも多数回行う記憶装置。

【請求項 4】 メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置において、1周期のリフレッシュ動作について、データ保持可能時間が不足しているメモリセルのリフレッシュ動作が終わってから所定の回数のリフレッシュ動作が行われた前後に、データ保持可能時間が不足しているメモリセルのリフレッシュ動作をもう一度行う記憶装置。

【請求項 5】 請求項 1 ~ 4 のいずれか 1 項に記載の発明において、前記憶装置は DRAM または疑似 SRAM である記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は記憶装置に係り、詳しくは、リフレッシュ動作を必要とする半導体記憶装置に関するものである。

【0002】

【従来の技術】 DRAM (Dynamic Random Access Memory) や疑似 SRAM (Static Random Access Memory) などの半導体記憶装置では、メモリセルに蓄積された信号電荷の有無によってデータを記憶している。その信号電荷はある程度の時間がたつとリークして消失するため、消失する前に信号電荷をメモリセルに再度蓄積し直す動作が必要となる。この動作はリフレッシュ動作と呼ばれ、定期的に行われる。具体的には、ワード線を選択してそのワード線に接続されているメモリセルを活性化し、そのメモリセルに記憶されているデータをビット線に読み出す。次に、ビット線に読み出されたデータをセンスアンプによって増幅し、その増幅されたデータを再び元のメモリセルに戻すことで、1つのメモリセルに対するデータの再書き込み(リフレッシュ)を行う。このような回路動作をローアドレスを順次変更しながら全ワード線について行くと、半導体記憶装置内の全てのメモリセルに対してデータのリフレッシュが行われる。

【0003】 ここで、ワード線を選択するためのローアドレス(リフレッシュアドレス)を指定するには、外部からリフレッシュアドレスを入力する方式(ROR;RAS Only Refresh)と、半導体記憶装置の内部にアドレス

カウンタを設けてリフレッシュアドレスをカウントする方式とがある。後者の方式には、外部からの信号でアドレスカウンタを制御する方式(CBR;CAS Before RAS)と、半導体記憶装置の内部にタイマを設けて定期的にアドレスカウンタを動作させる方式(セルフリフレッシュ方式)とがある。

【0004】

【発明が解決しようとする課題】 セルフリフレッシュ方式のリフレッシュインターバルは、RORやCBRのリフレッシュインターバルよりも長く規定されている。リフレッシュインターバルが長くなると、メモリセルが信号電荷を保持していなければならない時間(データ保持必要時間)も長くなる。

【0005】 ところで、実際のメモリセルにおいて信号電荷を保持可能な時間(データ保持可能時間)には、半導体記憶装置内の各メモリセルについてある程度のバラツキがある。そのようなデータ保持可能時間のバラツキは製造工程において生じるため、回避することは難しい。従って、半導体記憶装置内の一部のメモリセルについては、データ保持必要時間に対してデータ保持可能時間が不足する場合がでてくる。そのようなデータ保持可能時間が不足しているメモリセルが少しでも存在する場合、その半導体記憶装置は不良品として廃棄しなければならない。つまり、データ保持可能時間の不足によって半導体記憶装置の歩留りが低下することになる。

【0006】 そこで、セルフリフレッシュ方式において、データ保持可能時間が不足しているメモリセルを冗長メモリセルで置き代えることによって救済する方式(以下、冗長メモリ代替方式という)が提案されている。但し、冗長メモリ代替方式では、データ保持可能時間が不足しているメモリセルの数が、冗長メモリセルの数を越えてはならない。

【0007】 また、特開平 4 - 2 3 2 6 8 8 号公報(IPC;G11C 11/401)に開示されるように、冗長メモリ代替方式において、冗長メモリセルにSRAMのメモリセルを用いる方式も提案されている。SRAMのメモリセルでは、信号電荷をスタティックに保持するため電源を切らない限り、メモリセルに記憶されたデータが消失することはない。そのため、冗長メモリセルにSRAMのメモリセルを用いれば、データ保持可能時間が不足しているメモリセルを確実に救済することができる。

【0008】 しかし、冗長メモリ代替方式では、半導体記憶装置に冗長メモリセルを付加しなければならないため、その冗長メモリセルの分だけ半導体記憶装置が大型化し、半導体記憶装置が形成されている半導体チップの面積が増大する。

【0009】 また、DRAMのメモリセルは1つのMOSTランジスタと1つのMOSキャパシタとで構成されるが、SRAMのメモリセルは4つのMOSTランジスタで構成される。そのため、SRAMのメモリセルはD

RAMのメモリセルに比べて大きくなる。従って、冗長メモリ代替方式において冗長メモリセルにSRAMのメモリセルを用いる方式では、半導体記憶装置がさらに大型化し、半導体チップの面積が大幅に増大する。

【0010】本発明は上記問題点を解決するためになされたものであって、その目的は、記憶装置を大型化することなく、データ保持可能時間が不足しているメモリセルを救済することが可能な記憶装置を提供することにある。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行うことをその要旨とする。

【0012】請求項2に記載の発明は、メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置において、特定のアドレスのリフレッシュ動作を他のアドレスのリフレッシュ動作よりも多数回行うことをその要旨とする。

【0013】請求項3に記載の発明は、メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置において、1周期のリフレッシュ動作について、データ保持可能時間が不足しているメモリセルのリフレッシュ動作を、データ保持可能時間が不足していないメモリセルのリフレッシュ動作よりも多数回行うことをその要旨とする。

【0014】請求項4に記載の発明は、メモリセルに記憶されているデータが消失しないようにリフレッシュ動作を行う記憶装置において、1周期のリフレッシュ動作について、データ保持可能時間が不足しているメモリセルのリフレッシュ動作が終わってから所定の回数のリフレッシュ動作が行われた前後に、データ保持可能時間が不足しているメモリセルのリフレッシュ動作をもう一度行うことをその要旨とする。

【0015】請求項5に記載の発明は、請求項1～4のいずれか1項に記載の発明において、前記記憶装置はDRAMまたは疑似SRAMであることをその要旨とする。

【0016】

【作用】請求項1に記載の発明によれば、リフレッシュ動作を行うことでメモリセルに記憶されているデータの消失を防ぐことができる。

【0017】請求項2に記載の発明によれば、特定のアドレスのリフレッシュ動作を他のアドレスのリフレッシュ動作よりも多数回行うことで、特定のアドレスのメモリセルのデータ保持可能時間が不足している場合でも救済することができる。そして、データ保持時間の不足しているメモリセルを救済するために冗長メモリセルを用いないため、記憶装置が大型化することはない。

【0018】請求項3に記載の発明によれば、1周期のリフレッシュ動作について、データ保持可能時間が不足

しているメモリセルのリフレッシュ動作を多数回行うことで、そのメモリセルを救済することができる。そして、データ保持時間の不足しているメモリセルを救済するために冗長メモリセルを用いないため、記憶装置が大型化することはない。ここで、記憶装置内の全てのメモリセルの数に比べてデータ保持可能時間が不足しているメモリセルの数が十分に少なければ、そのメモリセルに対してリフレッシュ動作を数回以上行ったとしても、1周期のリフレッシュ動作に要する時間（リフレッシュインターバル）が大幅に増加することはない。

【0019】請求項4に記載の発明によれば、データ保持可能時間が不足しているメモリセルに記憶されているデータが消失する前に、リフレッシュ動作がもう一度行われるため、そのメモリセルを救済することができる。その他の作用は、請求項3に記載の発明と同様である。

【0020】DRAMや疑似SRAMでは、信号電荷をメモリセルにダイナミックに蓄積することによってデータを記憶しているため、ある程度の時間がたつと信号電荷がリークして消失する。従って、リフレッシュ動作が不可欠である。請求項5に記載の発明によれば、データ保持可能時間が不足しているメモリセルがあっても救済することが可能になるため、DRAMや疑似SRAMの歩留りを向上させることができる。

【0021】

【実施例】以下、本発明をセルフリフレッシュ方式のDRAMに具体化した一実施例を図面に従って説明する。

【0022】図1に、本実施例の要部回路を示す。ローアドレス・セルフリフレッシュ回路1は、Dフリップフロップ2、アドレスカウンタ3、アドレス一致検出回路4、ローアドレスデコーダ5、タイマ6、ラッチ7、NMOSトランジスタ8～11、インバータ12～14から構成されている。

【0023】Dフリップフロップ2は、入力端子CKの立ち上がり時に入力端子Dに入力されているデータを記憶し、その入力端子CKの立ち上がり時から次の立ち上がり時まで、その記憶したデータを出力端子Qから出力し続ける。Dフリップフロップ2の出力端子Qはトランジスタ11のゲートに接続されている。

【0024】タイマ6は適宜な周期のクロックTCを生成する。そのクロックTCは、Dフリップフロップ2の入力端子CKおよびアドレス一致検出回路4へ出力されると共に、各トランジスタ10、11を介してアドレスカウンタ3へ出力される。

【0025】アドレスカウンタ3は、図2に示すように接続された10個のDフリップフロップ41から構成されている。Dフリップフロップ41は、入力端子CKの立ち上がり時に入力端子Dに入力されているデータを記憶し、その入力端子CKの立ち上がり時から次の立ち上がり時まで、その記憶したデータを出力端子Qから出力し続ける。また、出力端子バーQからは、出力端子Qの反転

信号が出力される。そして、アドレスカウンタ3は、図3に示すように、入力信号A(クロックTC)を分周した各アドレス信号A0~A9を生成する。その10桁の各アドレス信号A0~A9によってワード線WLを選択するためのローアドレス(以下、リフレッシュアドレスADDという)が指定される。

【0026】アドレス一致検出回路4は、その内部に予め設定しておいたローアドレスとアドレス・カウンタ3が生成したリフレッシュアドレスADDとが一致しているかどうかを検出する。そして、アドレス一致検出回路4は、予め設定しておいたローアドレスとアドレス・カウンタ3が生成したリフレッシュアドレスADDとが一致したときには出力端子OUTに「L」を出力し、一致していないときには出力端子OUTに「H」を出力する。アドレス一致検出回路4の出力端子OUTは、各インバータ12, 13を介して各トランジスタ9, 10のゲートに接続されている。また、アドレス一致検出回路4の出力端子OUTは、インバータ12を介してトランジスタ8のゲートおよびDフリップフロップ2の入力端子Dに接続されている。

【0027】図4に示すように、アドレス一致検出回路4はヒューズ素子Fを用いて構成されている。すなわち、出力端子OUTに接続される共通ノードαはプリチャージ回路42に接続されている。プリチャージ回路42はPMOSTランジスタ43, 44によって構成され、クロックTCに従って共通ノードαをプルアップしてプリチャージする。また、共通ノードαは各ヒューズ素子Fを介して各NMOSTランジスタ45に接続されている。そして、各NMOSTランジスタ45の各ヒューズ素子Fに接続されている側と反対側のノードは接地されている。さらに、各NMOSTランジスタ45のゲートにはそれぞれ、各アドレス信号A0~A9が入力される。そして、データ保持可能時間が不足しているメモリセルがある場合、そのメモリセルのローアドレスのMSB(Most Significant Bit)を反転させたアドレスに対応するヒューズ素子Fを切断しておく。

【0028】ここでは、データ保持可能時間が不足しているメモリセルのローアドレスを"0110100101"とし、図4には、そのローアドレスのMSBであるアドレス信号A9を反転させたアドレス"1110100101"に対応するヒューズ素子Fが切断された状態を示してある。そのため、アドレス一致検出回路4は、アドレス"1110100101"とアドレス・カウンタ3が生成したリフレッシュアドレスADDとが一致したときには出力端子OUTに「L」を出力し、一致していないときには出力端子OUTに「H」を出力する。

【0029】ロウアドレスデコーダ5は、アドレス・カウンタ3が生成したリフレッシュアドレスADDに対応したワード線WLを活性化する。但し、アドレス・カウンタ3が生成したリフレッシュアドレスADDのMSBであ

るアドレス信号A9は、トランジスタ9またはインバータ14およびトランジスタ8を介してロウアドレスデコーダ5へ転送される。

【0030】ラッチ7は、各トランジスタ10, 11の各ゲートに印加される信号(以下、各信号B, Cという)が「L」になって各トランジスタ10, 11がオフしたとき、アドレスカウンタ3の入力がフローティング状態になって入力信号Aのレベルが不確定になるのを防ぐために設けられている。

10 【0031】次に、上記のように構成された本実施例の動作を図5に示すタイムチャートに従って説明する。リフレッシュアドレスADDは10桁のアドレス信号A0~A9によって規定され、ワード線WLは $2^{10}=1024$ 本設けられている。そして、図3に示すようにクロックTCが1024サイクル分出力されると、アドレスカウンタ3は1周する。そのため、各ワード線WLに対するリフレッシュ動作がワード線WLの本数分である1024回行われると、DRAM内の全てのメモリセルに対してデータのリフレッシュが行われることになる。ここで、クロックTCの周期を100 μ sec とすると、アドレスカウンタ3が1周するには $1024 \times 100 \mu$ sec の時間が必要となる。つまり、リフレッシュインターバルは $1024 \times 100 \mu$ sec = 約100msec となる。そのため、DRAM内の各メモリセルのデータ保持必要時間は約100msec となり、データ保持可能時間は100msec 以上必要となる。

30 【0032】ここで、ローアドレスが"0110100101"のメモリセルのデータ保持可能時間が50msec以上で100msec未満とする。この場合、ローアドレスが"0110100101"のメモリセルについては、リフレッシュインターバルの間でリフレッシュ動作を余分に行うことで、記憶されているデータの消失を防いで救済することができる。すなわち、ローアドレスが"0110100101"のワード線WLに対するリフレッシュ動作が終わってから512回目のリフレッシュ動作の前後に、もう一度ローアドレスが"0110100101"のワード線WLに対するリフレッシュ動作を行うことで、ローアドレスが"0110100101"のメモリセルを救済することができる。

40 【0033】アドレス一致検出回路4は、予め設定しておいたローアドレス"1110100101"とアドレスカウンタ3が生成したリフレッシュアドレスADDとが一致しているかどうかを検出する。ここで、アドレス一致検出回路4に設定されているローアドレス"1110100101"は、データ保持可能時間が不足しているメモリセルのローアドレス"0110100101"に512カウント分のアドレス"100000000"を加えたものである。

50 【0034】そして、ローアドレス"1110100101"とリフレッシュアドレスADDとが一致したら、その次のリフレッシュ動作については、ローアドレス"1110100110"のワード線WLではなく、ローアドレス"0110100101"のワード線WLについて行う。具体的には、図5に示すよう

に、各信号B、Cが制御されることで、ローアドレス"1110100101"とリフレッシュアドレスADD とが一致した次のリフレッシュ動作についてはアドレスカウンタ3が動作されず、インバータ14およびトランジスタ8を介してローアドレスデコーダ5が制御される。これにより、ローアドレスが"0110100101"のメモリセルに対してリフレッシュ動作が行われる。

【0035】続いて、その次のリフレッシュ動作については、通常通りにアドレスカウンタ3を動作させることで、ローアドレス"1110100110"のワード線WLについて

行う。
【0036】すなわち、本実施例における各ワード線WLに対するリフレッシュ動作は、1回目;"0000000001"、2回目;"0000000010".....933 回目;"1110100101"、934 回目;"0110100101"、935 回目;"1110100110"、936 回目;"1110100111".....1024回目;"1111111111"のローアドレスの順番に行われる。

【0037】このように、本実施例では、リフレッシュ動作の1周期において、データ保持可能時間が不足していないメモリセルについてはそれぞれ1回ずつのリフレッシュ動作が行われ、データ保持可能時間が不足しているメモリセルについては2回のリフレッシュ動作が行われることで救済される。従って、本実施例では、ワード線WLの本数分である1024回のリフレッシュ動作に、ローアドレス"0110100101"のワード線WLに対する1回のリフレッシュ動作を加えた1025回のリフレッシュ動作が行われると、DRAM内の全てのメモリセルに対してデータのリフレッシュが行われることになる。そのため、本実施例におけるリフレッシュインターバルは、1024回のリフレッシュ動作を行う従来例に比べて1回のリフレッシュ動作分だけ長くなるが、その増加分はごく僅かであるため実用上は無視できる。

【0038】このように、本実施例によれば、冗長メモリ代替方式のように冗長メモリセルを付加することなく、データ保持可能時間が不足しているメモリセルを救済することができる。そのため、DRAMが形成されている半導体チップの面積の増大を防ぐことができる。

【0039】尚、上記各実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) リフレッシュ動作の1周期において、データ保持可能時間が不足しているメモリセルについては3回以上のリフレッシュ動作を行うことで救済する。例えば、リフレッシュ動作の1周期において、データ保持可能時間が不足しているメモリセルについては4回のリフレッシュ動作を行う場合、そのデータ保持可能時間が不足しているメモリセルのデータ保持可能時間は通常のメモリセルの1/4でよいことになる。

【0040】(2) データ保持可能時間が不足しているメモリセルが2個以上ある場合も、上記実施例と同様

に、リフレッシュ動作の1周期において、データ保持可能時間が不足しているメモリセルについては2回以上のリフレッシュ動作を行うことで救済する。

【0041】(3) 上記実施例のように各回路(2~4, 6~14)を設けてハードウェア的に構成するのではなく、上記各回路(2~4, 6~14)と同様の動作をCPUに行わせることでローアドレスデコーダ5を制御する。つまり、上記実施例をソフトウェア的に具体化する。

【0042】(4) セルフリフレッシュ方式ではなくCBRに適用する。または、RORに適用する。この場合、セルフリフレッシュ方式ではリフレッシュインターバルが長く規定されており、データ保持必要時間も長くなるため、本発明の効果がより如実に表れることになる。しかし、CBRやRORにおいてもセルフリフレッシュ方式と同様の効果が得られることは言うまでもない。

【0043】(5) DRAMではなく疑似SRAMなどのリフレッシュ動作が必要な半導体記憶装置に適用する。

(6) 半導体記憶装置ではなく、磁気バブル記憶装置、磁気コア記憶装置、ワイヤ記憶装置などのリフレッシュ動作を必要とする各種記憶装置に適用する。

【0044】以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項1~5のいずれか1項に記載の記憶装置において、セルフリフレッシュ方式、CBR、RORのグループから選択された1つのリフレッシュ方式によってリフレッシュ動作を行う記憶装置。

【0045】このようにすれば、確実にリフレッシュ動作が可能になる。特に、セルフリフレッシュ方式のリフレッシュインターバルは、RORやCBRのリフレッシュインターバルよりも長く規定されている。リフレッシュインターバルが長くなると、メモリセルのデータ保持必要時間も長くなる。従って、セルフリフレッシュ方式では本発明の効果がより如実に表れる。

【0046】(ロ) 請求項1~5のいずれか1項に記載の記憶装置において、前記記憶装置は半導体記憶装置、磁気バブル記憶装置、磁気コア記憶装置、ワイヤ記憶装置から選択された1つの記憶装置。

【0047】このようにすれば、各種の記憶装置において確実にリフレッシュ動作が可能になる。

【0048】

【発明の効果】以上詳述したように本発明によれば、記憶装置を大型化することなく、データ保持可能時間が不足しているメモリセルを救済することが可能な記憶装置を提供することができる。

【図面の簡単な説明】

【図1】一実施例の要部回路図。

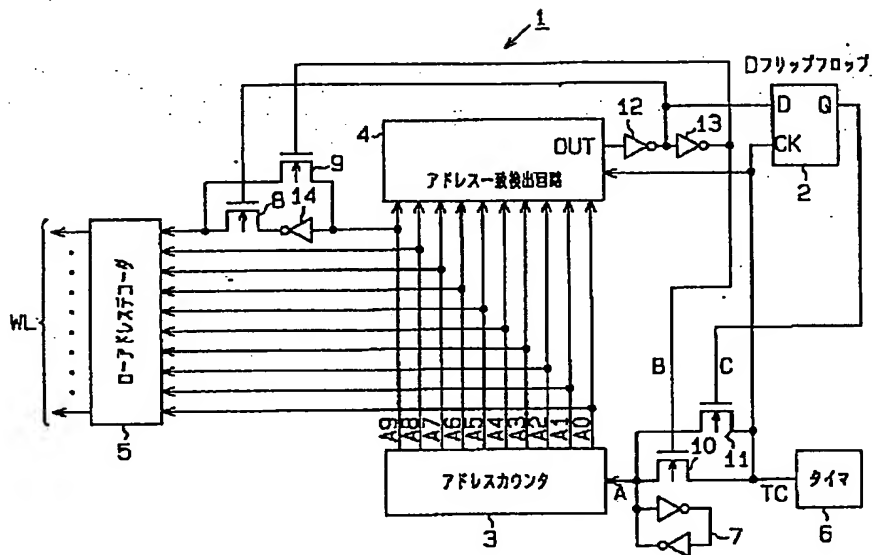
【図2】アドレスカウンタ3の内部回路図。

【図3】アドレスカウンタ3のタイムチャート。

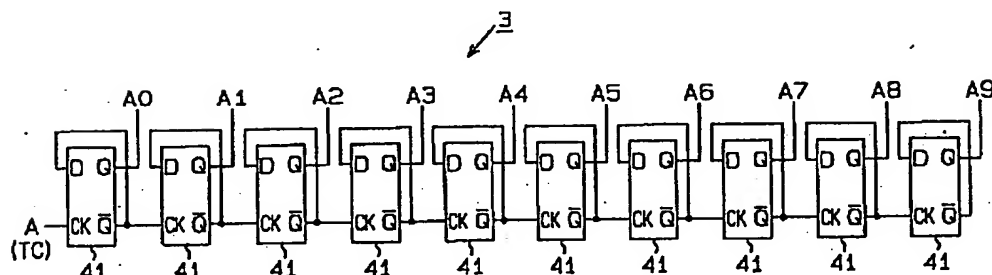
【図4】アドレス一致検出回路4の内部回路図。

【図5】一実施例の回路動作を示すタイムチャート。

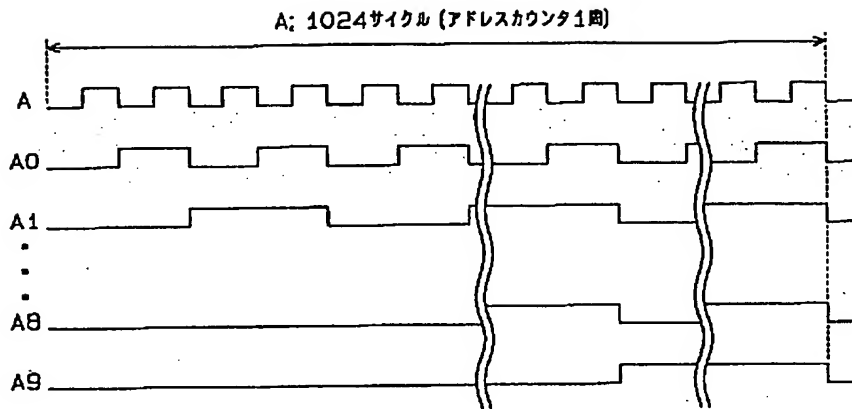
【図1】



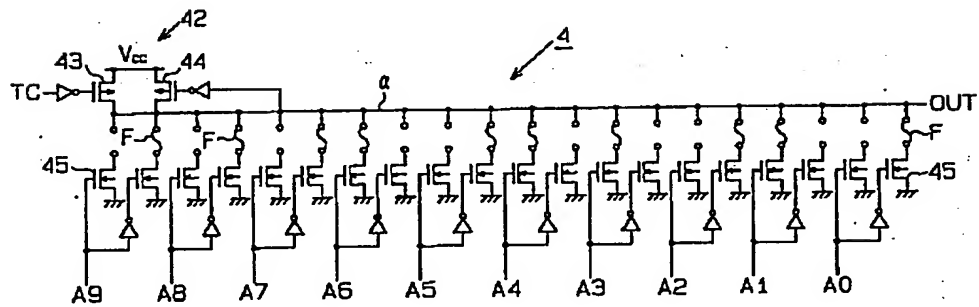
【図2】



【図 3】



【図 4】



【図 5】

